

PN - JP5002502 A 19930108
 PD - 1993-01-08
 PR - JP19910000807 19910109
 OPD - 1991-01-09
 TI - VOLTAGE MARGIN TESTING SYSTEM FOR INFORMATION PROCESSOR
 IN - NAGASAWA MASASHI
 PA - NIPPON ELECTRIC CO
 IC - G06F11/22 ; G06F11/24

PAJ - JPC

PN - JP5002502 A 19930108
 PD - 1993-01-08
 AP - JP19910000807 19910109
 IN - NAGASAWA MASASHI
 PA - NEC CORP
 TI - VOLTAGE MARGIN TESTING SYSTEM FOR INFORMATION PROCESSOR
 AB - PURPOSE: To economically and automatically execute a voltage margin test for an information processor by allowing the information processor itself to execute the voltage margin test while storing a set voltage value in a battery backup memory.
 - CONSTITUTION: A power supply part 11 capable of varying power supply voltage while being controlled by a control part in the information processor, the battery backup memory 4 allowing writing/reading from the control part and having an exclusive power supply and a watch-dog timer circuit 15 for monitoring the operation of the whole information processor 1 are included in the information processor 1. Prior to the execution of a test for varying the power supply voltage, the control part writes a varied test voltage value in the memory 4, a test program is executed after varying the power supply voltage of the power supply part 11, and the test program is repeatedly executed until watch-dog time out is detected from abnormal end while varying the voltage. Thereby a voltage margin test can be economically and automatically executed without executing manual operation or using another testing device.
 I - G06F11/22 ; G06F11/24

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-2502

(43) 公開日 平成5年(1993)1月8日

(51) Int.Cl.⁵

G 0 6 F 11/22

11/24

識別記号

3 1 0 A

庁内整理番号

9072-5B

9072-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全3頁)

(21) 出願番号 特願平3-807

(22) 出願日 平成3年(1991)1月9日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 長澤 正氏

東京都港区芝五丁目7番1号日本電気株式会社内

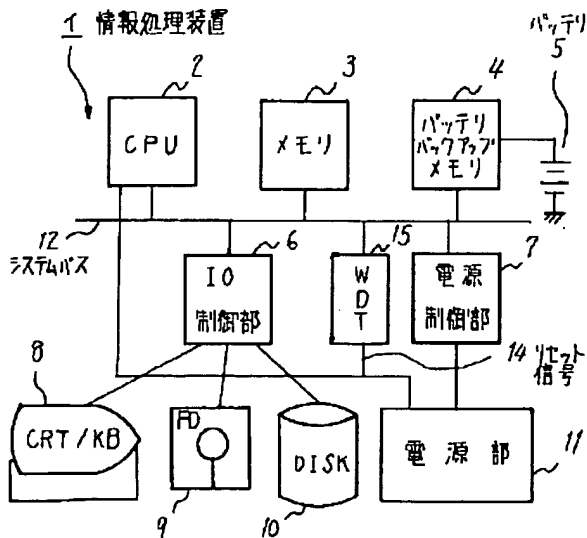
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 情報処理装置の電圧マージン試験方式

(57) 【要約】

【構成】 情報処理装置内に制御部から電圧制御のできる電源部と、試験する設定電圧値を書き込むためのバッテリーバックアップメモリと、ウォッチドッグタイマ回路とを設け、電圧を変化させる前に試験電圧値をバッテリーバックアップメモリに書き込みその後電圧を変化させ、試験プログラムを実行する。

【効果】 人手操作や他の試験装置を使用せず情報処理装置の電圧マージン試験を経済的に自動実行することができる。



【特許請求の範囲】

【請求項1】 電源電圧を定格値より上下に変動させて試験プログラムを実行し動作試験を行う情報処理装置の電圧マージン試験において、前記情報処理装置内の制御部の制御を受け電源電圧を変動させることが可能な電源部と、前記制御部からの書込読出しが可能な専用の電源を持つバッテリーバックアップメモリと、前記情報処理装置全体の動作監視を行うウォッチドッグタイマ回路とを前記情報処理装置内に設け、前記制御部は電源電圧を変動させる試験の実施前に変動後の試験電圧値を前記バッテリーバックアップメモリに書込み、次に前記電源部の電源電圧を変動させた後前記試験プログラムを実行し、異常終了およびウォッチドッグタイムアウトの少なくともいずれか一方を検出するまで徐々に電圧を変動させながら前記試験プログラムを繰り返し実行することを特徴とする情報処理装置の電圧マージン試験方式。

【請求項2】 電源部がウォッチドッグタイマからの復旧信号を受け出力電圧値を予め定める定格値に復旧させる機能を有することを特徴とする請求項1記載の情報処理装置の電圧マージン試験方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理装置の電圧マージン試験方式に関する。

【0002】

【従来の技術】 従来の情報処理装置の電圧マージン試験方式は、人手操作により電源電圧を変化させて試験を行うか、被試験情報処理装置とは別の装置により電源電圧を変動させて試験を実行していた。

【0003】

【発明が解決しようとする課題】 上述した従来の情報処理装置の電圧マージン試験方式は、人手操作が必要であったり、自動化のために被試験情報処理装置とは、別の装置が必要となるので経済的に負担が大きいという問題点がある。又、前述の問題点を避けるため情報処理装置内の制御部を使用して、電源電圧を自動的に変更しながら電圧マージン試験を行うと、制御部自身の動作を保障できないという問題点がある。

【0004】 本発明の目的は情報処理装置内の制御部を使用して電圧マージン試験を行うことが可能な経済的な情報処理装置の電圧マージン試験方式を提供することにある。

【0005】

【課題を解決するための手段】 本発明の情報処理装置の電圧マージン試験方式は、電源電圧を定格値より上下に変動させて試験プログラムを実行し動作試験を行う情報処理装置の電圧マージン試験において、前記情報処理装置内の制御部の制御を受け電源電圧を変動させることが可能な電源部と、前記制御部からの書込読出しが可能な専用の電源を持つバッテリーバックアップメモリと、前記

情報処理装置全体の動作監視を行うウォッチドッグタイマ回路とを前記情報処理装置内に設け、前記制御部は電源電圧を変動させる試験の実施前に変動後の試験電圧値を前記バッテリーバックアップメモリに書込み、次に前記電源部の電源電圧を変動させた後前記試験プログラムを実行し、異常終了およびウォッチドッグタイムアウトの少なくともいずれか一方を検出するまで徐々に電圧を変動させながら前記試験プログラムを繰り返し実行する構成である。

10 【0006】 本発明の情報処理装置の電圧マージン試験方式は、電源部がウォッチドッグタイマからの復旧信号を受け出力電圧値を予め定める定格値に復旧させる機能を有してもよい。

【0007】

【実施例】 次に、本発明について図面を参照して説明する。

【0008】 図1は、本発明の一実施例のブロック図である。

20 【0009】 情報処理装置1は、システムバス12を介して相互に接続しているCPU2とバッテリーバックアップメモリ4とIO制御部6とウォッチドッグタイマ回路（以下WDTと記す）15および電源制御部7と、さらにIO制御部6に接続しているCRT/キーボード8と、フロッピーディスク装置9と、磁気ディスク装置10と、電源制御部7に接続する電源部11と、バッテリーバックアップメモリ4に接続するバッテリー5とから構成されている。

30 【0010】 バッテリーバックアップメモリ4は、バッテリー5からメモリ保持用電源の供給を受け、電源部11の切断時においても内容は保持される。

【0011】 電源部11は、出力電圧を電源制御部7からの指示で変更する機能を有する。また、WDT15からのリセット信号14を受け出力電圧を定格値にリセットする機能を有する。WDT15は、内蔵するプログラムにより定期的なリセットされ情報処理装置1全体の動作監視を行いタイムアウトすると、CPU2、電源部11にリセット信号14を出力する。

【0012】 次に動作について説明する。

40 【0013】 図2は、本発明の一実施例の動作を示す流れ図である。

【0014】 電圧マージン試験が開始されると、まずステップ（以下Sと記す）1で電圧マージン試験中を示すフラグをバッテリーバックアップメモリ4に書き込む。次にS2で設定する試験電圧値をバッテリーバックアップメモリ4に書き込む。次にS3で電源部11に試験電圧値を設定し、S4で機能試験プログラムを起動し、機能試験を行う。次にS5で試験が正常に終了したか否かを判断し、試験が正常に終了した場合には、S6で試験電圧範囲の試験を終了したか否かを判断し、終了していなければS7で設定した試験電圧値を変更し、S3に戻り試

3

験電圧値を設定し、試験電圧範囲のすべての試験が完了するまで同様の動作をくりかえす。S5で試験が異常終了した場合には、この時点で試験を打ち切り、S8で異常になった試験電圧値をバッテリーバックアップメモリ4から読み出し、S9でCRT8に表示出力をして試験を終了する。

【0015】又、設定試験電圧値でCPU2、メモリ3等が動作不能となった場合には、WDT15が動作しリセット信号14をCPU2および電源部11に出力する。電源部11はリセット信号14により出力電圧を予め定める定格値に設定し直し、CPU2はオートリブート処理を開始する。

【0016】オートリブート処理では、まずS10でバッテリーバックアップメモリ4を読み出し、次にS11で電圧マージン試験中フラグがセットされているか否かを判断し、セットされていればS8の電圧マージン試験の結果出力処理へ移行する。

【0017】

【発明の効果】以上説明したように本発明は、情報処理装置自身が設定電圧値をバッテリーバックアップメモリ4に記憶しながら電圧マージン試験を行うことにより、人

4

手操作や他の試験装置を使わずに情報処理装置の電圧マージン試験を経済的に自動実行できるという効果がある。

【図面の簡単な説明】

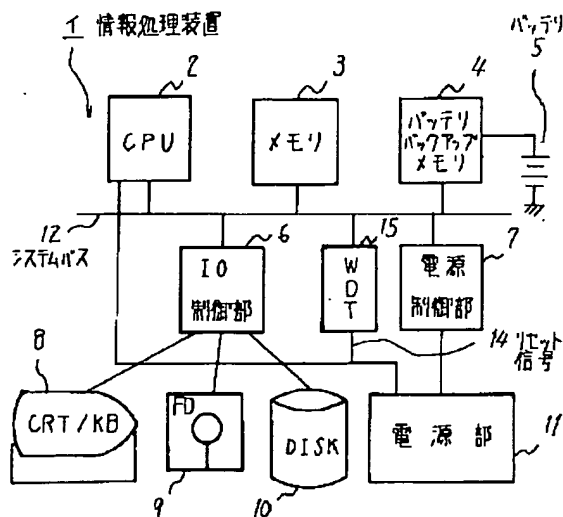
【図1】本発明の一実施例を示すブロック図である。

【図2】本発明の一実施例の動作を示す流れ図である。

【符号の説明】

- 1 情報処理装置
- 2 CPU
- 3 メモリ
- 4 バッテリーバックアップメモリ
- 5 バッテリ
- 6 IO制御部
- 7 電源制御部
- 8 CRT/キーボード
- 9 フロッピーディスク装置 (FD)
- 10 磁気ディスク装置 (DISK)
- 11 電源部
- 12 システムバス
- 14 リセット信号
- 15 ウォッチドッグタイマ回路 (WDT)

【図1】



【図2】

